

⑫ 公開特許公報(A)

平1-196822✓

⑬ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)8月8日

H 01 L 21/30

3 0 1

M-7376-5F

G 03 F 9/00

Z-6906-2H

H 01 L 21/68

F-7454-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭63-23166

⑰ 出 願 昭63(1988)2月2日

⑱ 発 明 者 田 中 更 吉 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

〔従来の技術〕

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

反射光または回折光を利用して自動的に各層間の位置合わせを露光装置で行なうための位置合わせマークが半導体基板上に形成されている半導体集積回路装置に於いて、前記位置合わせマークから等しい距離で、かつ位置合わせマークの周囲全体を取り囲む凹パターンが、前記位置合わせマークとともに形成されていることを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路装置に関し、特に反射または回折光を利用して高精度な各層間の位置合わせが可能な半導体集積回路装置に関する。

近年、半導体集積回路の高密度化が進むにつれ、その製造過程における位置合わせは、より高精度化が要求されて来ている。従来、半導体基板上の位置合わせマークは、大きく分けて2通りの場所に形成されている。その1つとして、集積回路が描かれているチップの中に形成される位置合わせマークがある。他の1つとして、半導体基板を各小片に切り離すための直線状の余白部分であるスクライブライン中に形成した位置合わせマークがある。

〔発明が解決しようとする問題点〕

前者の問題点は、チップ中に位置合わせマークを入れるための余分な部分を必要とすることである。従ってチップの面積が大きくなり、これは集積回路を高速化、低価格化にするため必要なチップの小型化に対し極めて不都合である。またチップ内の回路配置の設計を行なう際、位置合わせマークの場所を考慮するために、設計上の制約を与えるなどの問題がある。

後者の場合は、半導体集積回路の製造工程で、通常エッチングによりスクライブラインの部分が、チップ部分に比べて表面が削られて凹状態になっている。このような段差のある場所にホトレジストを塗布したり、CVD等の膜成長を行なうと、凸部では薄く、凹部では厚く形成される。しかも凹部であるスクライブラインの中では段差の端部で最も厚く、中央部では比較的薄く形成されることになる。このような場所に位置合わせマークを入れると、膜厚が不均一であるため、位置合わせマーク検出用の光の反射や回折が不安定になり、位置合わせ精度を低下させるなどの問題点があった。

尚、チップ中に位置合わせマークを入れる場合に於いても、スクライブラインほど凹凸の影響が顕著でないが、チップ中の回路パターンの凹凸は、今後更に要求される高精度な位置合わせを遂行する上で無視出来ない。

上述した従来の位置合わせマークを用いた方法に対し、本発明は、位置合わせマークから等しい

距離で、かつ位置合わせマークの周囲全体を取り囲む太さが均一な凹パターンを前記位置合わせマークを形成する工程で同時に形成することによって、ホトレジスト等を塗布したり、CVD等の膜成長のプロセスを経た後でも、前記位置合わせマーク部分の対称性が保持されるので、精度を低下させることなく非常に高精度な位置合わせを行なうことが出来るという相違点を有する。

〔問題点を解決するための手段〕

本発明の半導体集積回路の製造方法は、反射光または回折光を利用して自動的に各層間の位置合わせを露光装置で行なうための位置合わせマーク半導体基板上に形成し、前記位置合わせマーク、半導体基板の表面にホトレジストを塗布する半導体集積回路の製造方法に於いて、前記位置合わせマークから等しい距離で、かつ位置合わせマークの周囲全体を取り囲む凹パターンを、前記位置合わせマークを形成する工程で同時に形成することを有している。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図は本発明の第1の実施例を説明する為の平面図である。位置合わせマーク4は、スクライブライン2の中に形成されている。しかし位置合わせマーク4は、マークから等しい距離で、かつ位置合わせマークの周囲全体を取り囲む太さが均一な凹パターン7を、前記位置合わせマーク4を形成する工程で同時に形成してある。従って従来技術で問題となっていたホトレジスト等の膜厚の不均一性による位置合わせ精度の低下は生じない。それは、第2図に示す第1図のA-A線断面図より自明であるが位置合わせマーク4の周辺は、マークから等しい距離で、かつ位置合わせマークの周囲全体を取り囲む太さが均一な凹パターン7が存在する為、対称性が非常に良い。またホトレジストを塗布した後でも対称性は保持される。従って位置合わせマーク4の上方Hからアライメント光を照射して、位置合わせマーク4の各々のエッジから得られる散乱光1a, 1bを利用する位置合わせ方法において、検出されるアライメン

ト信号hは、第3図に示す様に対称性が非常に良いので位置合わせマークの中心位置を正確に検出することが出来る。

第4図は本発明の第2の実施例を説明する為の平面図である。スクライブライン2の中に、8個の長方形回折パターンを位置合わせマーク4として設けてある。位置合わせは、以下に述べる方法で行なう。長方形のアライメントビーム（アライメント光）を、位置合わせマークの長手方向に対して垂直になる方向（B-B線方向）でスキャンを行う。アライメントビームが位置合わせマーク上に照射された時、個々の長方形パターンからの光学干渉により生じる回折格子を利用してマークの位置を検出する方法である。第5図には第4図のB-B線断面図を示してあるが、第1の実施例と同様に位置合わせマークが非常に対称性を持つ。従って位置合わせマークから生じる回折格子が、B-B線方向にある距離だけシフトする。その結果、本来マークのある位置からズレて位置を検出してしまうと言う問題は起きない。第6図には第

4図のC-C線断面図を示してあるが、第1の実施例と同様に位置合わせマークが非常に対称性を持つ。従って位置合わせマークから生じる回折格子は、位置合わせマーク全体（回折パターン全体）の中心に対して対称でかつ位置合わせマークに対して平行方向（C-C線方向）上に規則的に形成される為、その結果、対称性の良いアライメント信号が得られ正確に位置検出を行なうことが出来る。

尚、本実施例を用いることにより、従来 $0.3\mu\text{m}$ の精度が $0.15\mu\text{m}$ まで向上した。

〔発明の効果〕

以上説明したように本発明は、位置合わせマークから等しい距離で、かつ位置合わせマークの周囲全体を取り囲む太さが均一な凹パターンを前記位置合わせマークを形成する工程で同時に形成することにより、位置合わせマーク部分の対称性が保持されるので、精度を低下させることなく非常に高精度な位置合わせを行なうことが出来る効果がある。

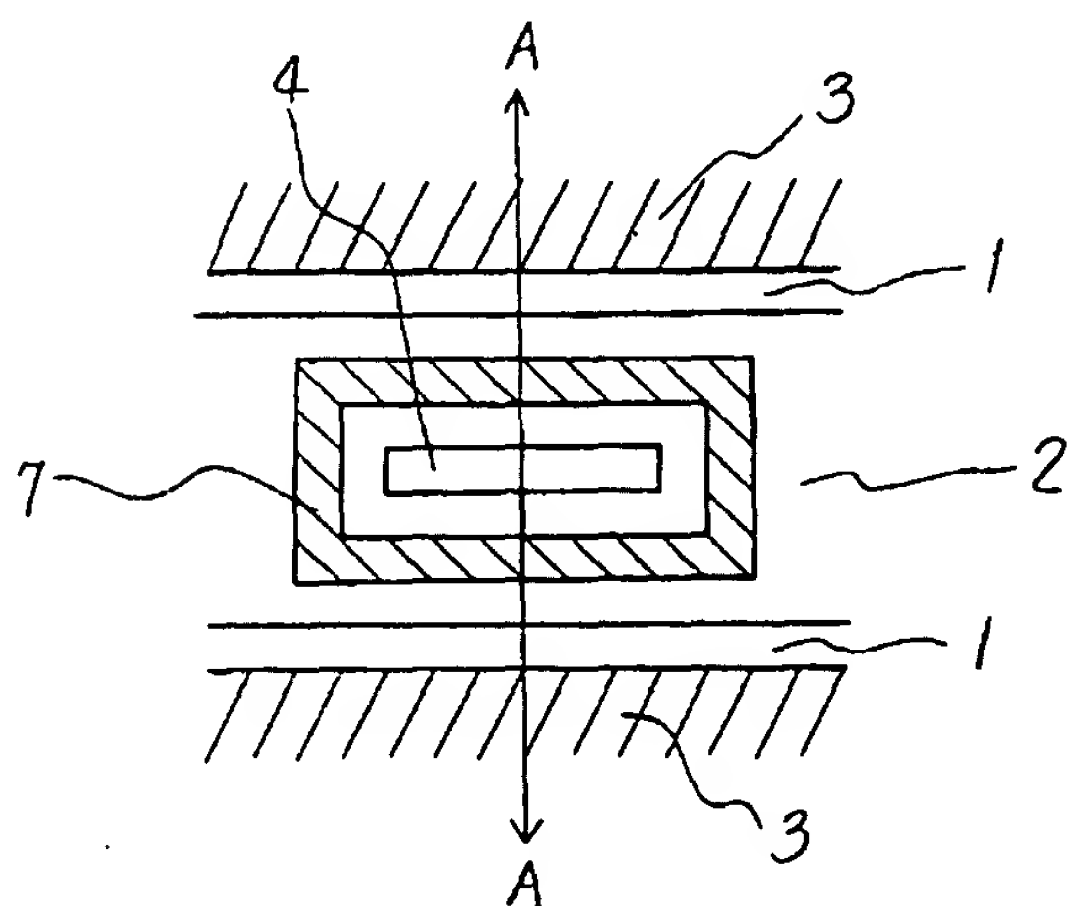
尚本発明は、反射光、散乱光、回折光等あらゆる検出方法に適用しても上述効果は得られる。

4. 図面の簡単な説明

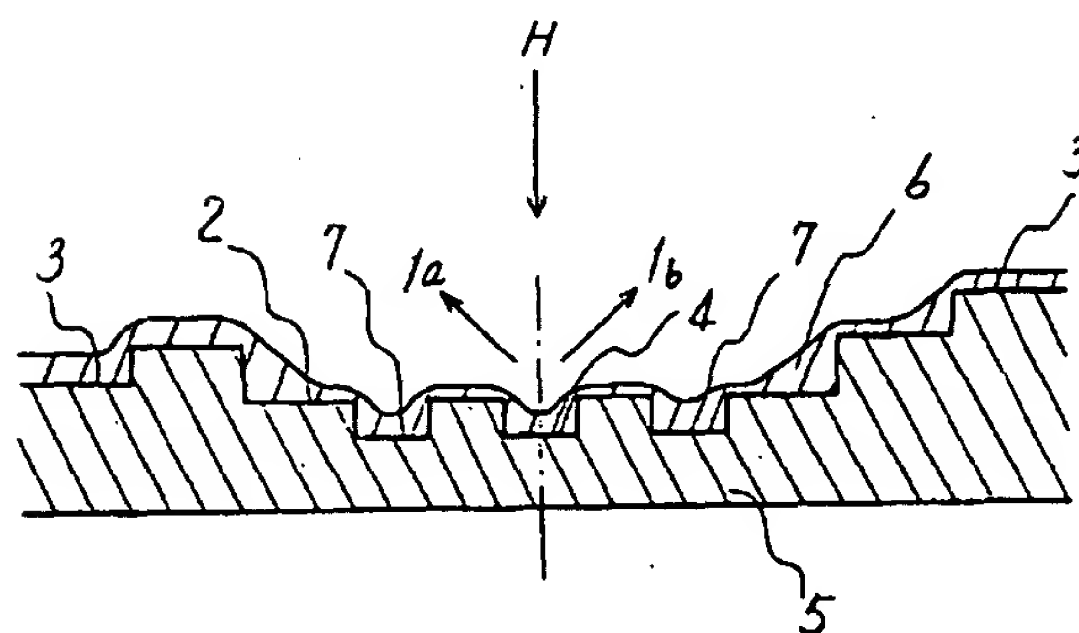
第1図は本発明の第一の実施例を示す平面図、第2図は第1図のA-A線断面図、第3図は第1図の位置合わせマークから得られたアライメント信号波形を示す図、第4図は本発明の第二の実施例を示す平面図、第5図は第4図のB-B線断面図、第6図は第4図のC-C線断面図である。

1……チップ、2……スクライブライン、3……回路パターン領域、4……位置合わせマーク、5……半導体基板、6……ホトレジスト、7……凹パターン、H……アライメント光の照射方向、1a, 1b……位置合わせマークのエッジからの散乱光、h……位置合わせマークから得られたアライメント信号波形。

代理人 弁理士 内 原 晋



第 1 図



第 2 図

